



Development and Prospect of Lithography Technology on Chips

Sun Bing¹, Liu Li², Zhang Yan², Tian Feng², Qi Jingai²

¹Tianjin Metrology Supervision and Testing Science Research Institute, Tianjin, China

²University Office and Information College, Hebei University of Technology, Tianjin, China

Email address:

sychebut@126.com (Sun Bing)

To cite this article:

Sun Bing, Liu Li, Zhang Yan, Tian Feng, Qi Jingai. Development and Prospect of Lithography Technology on Chips. *Asia-Pacific Journal of Electronic and Electrical Engineering*. Vol. 1, No. 2, 2019, pp. 15-20.

Received: September 17, 2019; Accepted: October 16, 2019; Published: October 29, 2019

Abstract: From Internet PCs at the beginning of this century to smart mobile devices in the 2010s, all these new applications rely on the rapid improvement of processor chips. Increasing the integration degree can reduce the cost of a single transistor. In the planar CMOS process, reducing the feature size can increase the speed of the transistor switch, and also enhance the integrity of the transistor, opening up new market applications for the chip. When the current I passing through the lead line, the design formula for voltage that should be added at both ends of the lead line with different lengths, widths, and heights should be followed by the principle of $1\sim 3\text{mV}/\mu\text{m}$ with the wire length. At the same time, ΔU should be coordinated with resistance value R of the lead line. The lead resistance can be selected according to the table in the text. Photolithography is a kind of precision micromachining technology, so that the graphics on the mask plate are copied to the photoresist film; Finally, using etching technology, the graphics are transferred to the silicon substrate. To this end, the common wavelength of photolithography and precision mechanical process of photolithography are discussed. It is expected that the latest process of 3nm will begin by 2020. The use of far-ultraviolet wavelengths, coupled with large digital aperture lenses, can achieve a feature size of 1.5 nm, which is expected to support Moore's law development until 2030.

Keywords: Transistor, Integrated Circuit, Feature Size, Wire Resistance, Photolithography, Mask Plate, Moore's Law

芯片光刻技术的发展与展望

孙冰¹, 刘丽², 张妍², 田丰², 齐景爱²

¹天津市计量技术研究院, 天津, 中国

²河北工业大学校机关和信息学院, 天津, 中国

邮箱

sychebut@126.com (孙冰)

摘要: 从本世纪初的互联网PC, 到2010年代的智能移动设备, 这些新应用无一不依靠处理器芯片的性能快速提升。增加集成度, 可以降低单个晶体管的成本, 在平面CMOS工艺中, 缩小特征尺寸(内引线宽或图形宽)可以增加晶体管开关速度, 也增强了晶体管的特性, 给芯片开拓了新的市场应用在引线中通过电流 I 时, 对不同长度 L 、宽度和高度的引线两端应加入的电压设计公式应遵循的原理是引线长度 $1\sim 3\text{mV}/\mu\text{m}$ 。同时, ΔU 应与引线的电阻值 R 相协调, 可以根据文本中的表格选择电阻值 R 。芯片光刻技术是一种精密的微细加工技术, 使掩模版上的图形被复制到光刻胶薄膜上;最后利用刻蚀技术将图形转移到基片上。为此讨论了光刻曝光的常用波长、光刻机精密机械工艺。预计到了2020年会开始3nm的最新工艺, 使用远紫外光波长, 加上大数字孔径透镜可以实现1.5nm的特征尺寸, 从而可望支持摩尔定律发展到2030年。

关键词：晶体管，集成电路，特征尺寸，引线电阻，光刻技术，掩模版，摩尔定律

1. 引言

随着半导体技术的快速发展，平面CMOS器件工艺诞生后，电路集成度增加，特征尺寸（即引线或图形宽度）减小。上世纪下半叶，应运而出现摩尔定律以描述集成度每18个月翻一番，如图1-a所示为特征尺寸（m）和所容纳的原子数与年份的关系[1]。一方面，增加集成度，可以降低单个晶体管的成本，另一方面，在平面CMOS工艺中，缩小特征尺寸可以增加晶体管开关速度，也增强了晶体管的性能，而更强的性能给芯片开拓了新的市场应用。从上世纪九十年代的多媒体PC，本世纪初的互联网PC，到2010年代的智能移动设备风行，这些新应用市场的打开无一不依靠处理器芯片的快速性能提升。因此，从经济和性能两个方面成了摩尔定律的强大动力。由于晶体管开关速度的提升，数据的传输速率随之快速增加。图2-b所示为从3G至5G代无线通讯传输速率每秒字节（pbs=Byte/s）随年代的变化[1]。

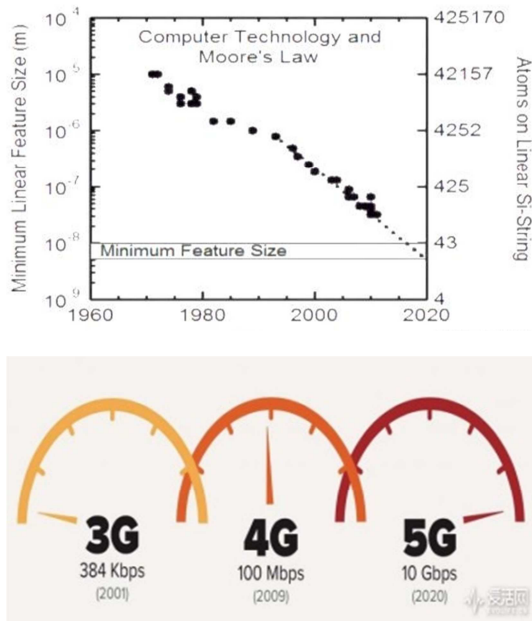


图1 -a特征尺寸（feature size, m）和所容纳的原子数与年份的关系,b-从3G至5G代无线通讯传输速率（pbs=Byte/s）随年代的变化。

目前国际上65nm/45nm芯片设计已成为特征尺寸设计主流，我国有一半左右的企业其集成电路设计能力为130nm/180nm，国内和国际上的差距。集成电路引线和图形由基片镀膜后光刻形成特征尺寸，这也是当前集成电路引线设计所面临迫切需要解决的问题。但是最近报道，2018年9月华为麒麟980手机芯片特征尺寸可达7nm取得巨大进展。这主要是因为引进了图3所示的荷兰生产的光刻机并在台基电生产基片。在不改动平面器件工艺的情况下把特征尺寸继续做小。使摩尔定律的适用限沿长到2020

年以后，由图1-a可见，此时特征尺寸减小到7nm以下，横向所排立的硅原子仅为40个。与集成电路元件连接时的Cu引线，其上应所加的设计电压与Cu引线长度的电阻有关。不同引线长度、线宽、高度、电流时的所应设计的电压与此电阻相适应。另外，集成电路引线由基片镀膜后光刻形成特征尺寸，这也是当前集成电路引线设计所面临迫切需要解决的问题。

2. 集成电路引线的电阻和电流、电位

2.1. 集成电路引线尺寸[2-5、8-12]

因为一般芯片尺寸几毫米，总引线长度可达几毫米。芯片面上又包含几个集成晶体管电路，总输入、输出电压才几伏。那么对于引线长度 $L=1000\mu\text{m}$ 铜引线，其两端电压降为1000mV，与总输入、输出电压是对应的，即此时引线长度方向1mV/ μm 。我们认为引线长度方向约1-3的几mV/ μm 数量级是适合在集成电路设计中应用的原则。因为引线要与元件相接，如图2所示，其中E、B、C分别代表发射、基、集电极。

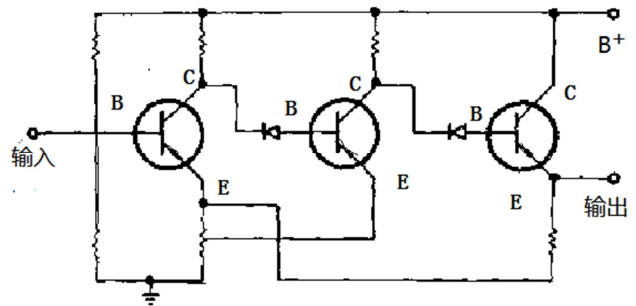


图2 集成电路及其引线[2]。

作为一例子，从AD公司产品手册可查得集成电路AD8622的发射极电流为0.35mA。根据引线长度L、宽度W、高度h单位计算出所需加的电压值 ΔU ，以供集成电路设计用。文献经计算分析后[2]，最终可得到流过电流I时，不同引线长度、宽度、高度引线两端所应加的设计电压简式为：

$$\Delta U = 0.871 \times I \times L \times 10^4 / (W \times h) \text{ mV} \quad (1)$$

其中L的长度单位为 μm 、W、h的长度单位为nm，I的单位为mA。例如，当AD8622的发射极电流 $I=0.35\text{mA}$ ，引线的特征尺寸 $W=45\text{nm}$ ， $L=0.2\mu\text{m}$ 及高度 $h=61\text{nm}$ ，那么 $\Delta U=0.871 \times 0.35 \times 0.2 \times 10^4 / (45 \times 61) = 0.22\text{mV}$ 。此时，引线上， $\Delta U / L = 0.22 / 0.2 = 1.1\text{mV} / \mu\text{m}$ ，这与上面所提原则是相符的，从而达到设计目的。因此式（1）是可信赖的，AD8622的基极电流仅为45pA，基极引线所加的是信号电压，而不是按式（1）根据基极电流、引线长度L、宽度W、高度h单位计算出所需加的电压值，这与式（1）

无关。当特征尺寸W为7nm, 电流I、高h不变时, 由式(1)可得

$\Delta U = 0.871 \times 0.35 \times 0.2 \times 104 / (7 \times 61) = 1.5 \text{ mV}$ 。
 $\Delta U / L = 1.5 / 0.2 = 7.5 \text{ mV} / \mu\text{m}$ ，显然不符合
 $\Delta U / L = 1 \sim 3 \text{ mV} / \mu\text{m}$ 的原则, 除非加高h, 但太高了, 就易倒塌。所以, 纳米线的特征尺寸W达到7nm方向时应采用多层并联布线的新工艺[1、6、7], 引线向硅片上方空间发展而不占硅片面积, 因此可以实现更进一步的使特征尺寸缩小。根据高通公司的分析, 10nm节点的单位晶体管面积相对上一代节点缩小了37%, 而到了7nm节点相对10nm节点单位晶体管面积缩小变成了20%~30%。

2.2. 引线电阻值R

引线宽度为W, 其高度为h (h由设计者根据镀膜工艺确定, 高了有利于降低电阻, 但引线易倒塌, 低了电阻太高), 设计者选定铜引线长度为L, 铜的 ρ 为17.5m $\Omega \cdot \mu\text{m}$, 则其电阻值为:

$$R = \frac{\rho L}{Wh} \quad (2)$$

当 W=100nm、h=10nm时, L=0.1 μm 的铜引线电阻为R=1750m Ω 。随W和h减小, 铜引线电阻值快速增加。表1示出 L=0.1 μm 光滑铜引线的电阻R与W、h的关系。

表1 L=0.1 μm 光滑铜引线的电阻R与W、h的关系[2]。

h (nm)	R (m Ω)				
	W=100nm	W=65nm	W=45nm	W=20nm	W=10nm
10	1750	2692	3889	8750	17500
20	875	1346	1994	4375	8750
45	389	598	864	1944	3889
65	269	414	598	1346	2692
100	175	269*	389#	875@	1750&

表1 指出, *h/W=1.53, # h/W=2.22, 是集成电路设计 (W=65、45nm) 中的好选项, 而@ h/W=5, &h/W=10宜分层并联布线, 使高度降低, 供今后集成电路设计 (W=20nm 及10nm) 参考, 目前正在实现。(h由镀膜工艺确定, 高了有利于降低电阻, 但太高, 引线易倒塌)。

2.3. 引线电阻值R与 ΔU 相协调[2]

式(1) ΔU 是根据引线长度L、宽度W、高度h单位计算出所需加的电压值, 并未考虑引线电阻, 因此要考虑流过引线的电流在电阻上所产生的电压, 应与式(1)的计算值接近。还是以集成电路AD8622的发射极电流为0.35mA作为一例子, 根据引线长度L、宽度W、高度h的电阻值, 从式(2)电阻值方面计算出所需加的电压值 ΔU 。选定引线的特征尺寸 W=45nm, L=0.2 μm 及高度 h=65nm, 由表1可得其阻值为R=698 $\times 2$ =1396m Ω 。所需加的电压值 $\Delta U = 0.35 \times 1396 = 0.49 \text{ mV}$ 。这与 $\Delta U / L = 0.49 / 0.2 = 2.5 \text{ mV} / \mu\text{m}$ 原则是一致的。如果 $\Delta U / L$ 太高, 则降低高度h。又选定引线的特征尺寸 W=10nm, L=0.2 μm 及高度 h=65nm, 由表1可得其阻值为R=2692 $\times 2$ =5384m Ω 。所需加的电压值 $\Delta U = 0.35 \times 5384 = 1.884 \text{ mV}$ 。此时, $\Delta U / L = 9.4 \text{ mV} / \mu\text{m}$ 太高,

上面已指出, 应采用多层并联布线的新工艺。例如采用三并联布线的新工艺[1、6、7], 引线电阻降低三倍, 每一层的高h不变, 则 $\Delta U / L = 3.1 \text{ mV} / \mu\text{m}$, 这与 $\Delta U / L = 1 \sim 3 \text{ mV} / \mu\text{m}$ 原则是一致的。集成电路引线由基片镀膜后由光刻形成特征尺寸, 因此芯片的光刻是影响集成电路技术发展的关键。

3. 集成电路芯片的光刻技术[1,8,9,13]

3.1. 概述

集成电路制造中利用光学- 化学反应原理和化学、物理刻蚀方法, 将电路图形传递到单晶表面或介质层上, 形成有效图形窗口功能或图形, 统称为芯片的光刻工艺技术。

随着半导体技术的发展, 光刻技术传递图形的尺寸限度缩小了2~3个数量级(从微米级到亚微米级, 又到nm级), 已从常规光学技术发展应用到电子束、X射线、微离子束、激光等新技术; 使用波长已从4000埃扩展到 0.1埃数量级范围。光刻技术成为一种精密的微细加工技术。光刻工艺包括涂胶、前烘、曝光、显影、坚膜、腐蚀、去胶等七个过程[13]。

光刻过程是指在光照作用下, 借助光致抗蚀剂(又名光刻胶)将掩模版上的图形转移到基片上的技术。其主要过程为: 首先紫外光通过掩模版照射到附有一层光刻胶薄膜的基片表面, 引起曝光区域的光刻胶发生化学反应; 再通过显影技术溶解去除曝光区域或未曝光区域的光刻胶(前者称正性光刻胶, 后者称负性光刻胶), 使掩模版上的图形被复制到光刻胶薄膜上; 最后利用刻蚀技术将图形转移到基片上。

光刻所产生的腐蚀图形的好坏与工艺过程每一步骤有关[13]。图形的缺陷可由于光致抗蚀剂本身的原因而引起的, 也可以由于工艺过程的不适合而引起。当选定了一种光致抗蚀剂进行光刻时, 图形的质量完全取决于所采用的工艺过程。光刻时曝光波长是缩小器件特征尺寸的关键工艺技术, 在2010年开始使用远紫外光EUV波长, 2018年特征尺寸最小到10nm, 采用高数值孔径(NA镜头、视场大、步进扫描操作)[1,3]。

常规光刻技术是采用波长为2000~4500埃的紫外光作为图像信息载体, 以光致抗蚀剂为中间(图像记录)媒介实现图形的变换、转移和处理, 最终把图像信息传递到晶片(主要指硅片)或介质层上。在广义上, 它包括光复印和刻蚀工艺两个主要方面。

①光复印工艺: 经曝光系统将预制在掩模版上的器件或电路图形按所要求的位置, 精确传递到预涂在晶片表面或介质层上的光致抗蚀剂薄层上。

②刻蚀工艺: 利用化学或物理方法, 将抗蚀剂薄层未掩蔽的晶片表面或介质层除去, 从而在晶片表面或介质层上获得与抗蚀剂薄层图形完全一致的图形。集成电路各功能层是立体重叠的, 因而光刻工艺总是多次反复进行。例如, 大规模集成电路要经过约10次光刻才能完成各层图形的全部传递。

3.2. 常用的曝光方式[1,13]

常用的曝光方式分类如下:

接触式曝光和非接触式曝光的区别,在于曝光时掩模与晶片间相对关系是贴紧还是分开。接触式曝光具有分辨率高、复印面积大、复印精度高、曝光设备简单、操作方便和生产效率高等特点。但容易损伤和沾污掩模版和晶片上的感光胶涂层,影响成品率和掩模版寿命,对准精度的提高也受到较多的限制。一般认为,接触式曝光只适于分立元件和中、小规模集成电路的生产。

非接触式曝光主要指投影曝光。在投影曝光系统中,掩膜图形经光学系统成像在感光层上,掩模与晶片上的感光胶层不接触,不会引起损伤和沾污,成品率较高,对准精度也高,能满足高集成度器件和电路生产的要求。但投影曝光设备复杂,技术难度高,因而不适于低档产品的生产。现代应用最广的是1:1倍的全反射扫描曝光系统和x:1倍的在硅片上直接分步重复曝光系统。

直接分步重复曝光系统(DSW)超大规模集成电路需要有高分辨率、高套刻精度和大直径晶片加工。直接分步重复曝光系统是为适应这些相互制约的要求而发展起来的光学曝光系统。主要技术特点是:

①采用像面分割原理,以覆盖最大芯片面积的单次曝光区作为最小成像单元,从而为获得高分辨率的光学系统创造条件。

②采用精密的定位控制技术和自动对准技术进行重复曝光,以组合方式实现大面积图像传递,从而满足晶片直径不断增大的实际要求。

③缩短图像传递链,减少工艺上造成的缺陷和误差,可获得很高的成品率。

④采用精密自动调焦技术,避免高温工艺引起的晶片变形对成像质量的影响。

⑤采用原版自动选择机构,不但有利于成品率的提高,而且成为能灵活生产多电路组合的常规曝光系统。

这种系统属于精密复杂的光、机、电综合系统。它在光学系统上分为两类。一类是全折射式成像系统,多采用1/5~1/10的缩小倍率,技术较成熟;一类是1:1倍的折射-反射系统,光路简单,对使用条件要求较低。

3.3. 光致抗蚀剂(胶) [1,13]

光致抗蚀剂简称光刻胶或抗蚀剂,指光照后能改变抗蚀能力的高分子化合物。光蚀剂分为两大类。

①正性光致抗蚀剂:受光照部分发生降解反应而能为显影液所溶解。留下的非曝光部分的图形与掩模版一致。正性抗蚀剂具有分辨率高、对驻波效应不敏感、曝光容限大、针孔密度低和无毒性等优点,适合于高集成度器件的生产。

②负性光致抗蚀剂:受光照部分产生交链反应而成为不溶物,非曝光部分被显影液溶解,获得的图形与掩模版图形互补。负性抗蚀剂的附着力强、灵敏度高、显影条件要求不严,适于低集成度的器件的生产。

半导体器件和集成电路对光刻曝光技术提出了越来越高的要求,在单位面积上要求完善传递图像的信息量已接近常规光学的极限。

3.4. 光刻曝光的常用波长[1,13]

常用波长是可见光:g线:436nm, 紫外光(UV), i线:365nm, 深紫外光(DUV),KrF 准分子激光:248 nm, ArF 准分子激光:193 nm, 极紫外光(EUV), 10~15 nm。波长越短,可曝光的特征尺寸就越小;波长越短,就表示光刻的刀锋越锋利,有足够的能量。能量越大,因为曝光能量必须均匀地分布在曝光区,故曝光时间就越短;

常用的紫外光光源是高压弧光灯(高压汞灯),高压汞灯有许多尖锐的光谱线,经过滤光后使用其中的g线(436 nm)或i线(365 nm)。

对于波长更短的深紫外光光源,可以使用准分子激光。例如KrF准分子激光(248 nm)、ArF 准分子激光(193 nm)和F2准分子激光(157 nm)等。



图3 荷兰生产的光刻机[1]。

3.5. 光刻机[1,13]

光刻机是光刻工艺中将掩模板和基片对准曝光最为关键的设备,如图3所示为荷兰生产的光刻机。

光刻机的品牌众多,大致在层次上可以分为高档和低档两类:

高端的投影式光刻机可分为步进投影和扫描投影光刻机两种,分辨率通常在十几纳米至几微米之间,高端光刻机号称世界上最精密的仪器。

高端光刻机堪称现代光学工业之花,其制造难度之大,全世界只有少数几家公司能够制造。国外品牌主要以荷兰ASML(镜头来自德国),日本Nikon(Intel曾经购买过Nikon的高端光刻机)和日本Canon三大品牌为主[1]。

制造高精度的对准系统需要具有近乎完美的精密机械工艺,这也是光刻机的技术难点之一,许多美国德国品牌光刻机具有特殊专利的机械工艺设计。例如Mycro N&Q光刻机采用的全气动轴承设计专利技术,有效避免轴承机械摩擦所带来的工艺误差。

对准系统另外一个技术难题[1、13],就是对准显微镜。为了增强显微镜的视场,许多高端的光刻机,采用了LED照明。

对准系统共有两套,具备调焦功能。主要就是由双目双视场对准显微镜主体、目镜和物镜各1对(光刻机通常会提供不同放大倍率的目镜和物镜供用户组合使用)。

CCD对准系统作用是将掩模和样片的对准标记放大并成像于监视器上。

工件台顾名思义就是放工件的平台,光刻工艺最主要的工件就是掩模和如图(4)所示的基片[1]。

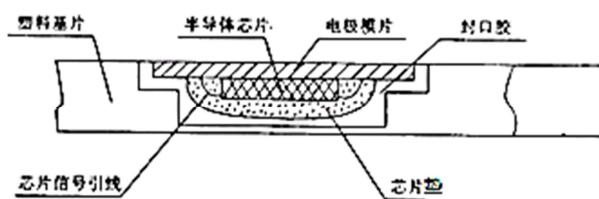


图4 互补沟道型场效应晶体管。

工件台为光刻机的一个关键[1],由掩模样片整体运动台(XY)、掩模样片相对运动台(XY)、转动台、样片调平机构、样片调焦机构、承片台、掩模夹、抽拉掩模台组成。其中,样片调平机构包括球座和半球。调平过程中首先对球座和半球通上压力空气,再通过调焦手轮,使球座、半球、样片向上运动,使样片与掩模相靠而找平样片,然后对二位三通电磁阀将球座和半球切换为真空进行锁紧而保持调平状态。

样片调焦机构由调焦手轮、杠杆机构和上升直线导轨等组成,调平上升过程初步调焦,调平完成锁紧球气浮后,样片和掩模之间会产生一定的间隙,因此必须进行微调焦。另一方面,调平完成进行对准,必须分离一定的对准间隙,也需要进行微调焦。

3.6. 分辨率和对准精度

分辨率是对光刻工艺加工可以达到的最细线条精度的一种描述方式。光刻的分辨率受光源衍射的限制,所以受光源、光刻系统、光刻胶和工艺等各方面的限制。对准精度是在多层曝光时,层间图案的定位精度。

3.7. 腐蚀工艺[13]

腐蚀是光刻工艺中的很重要工序,包括硅、二氧化硅、氮化硅、铝、铜、Cr的腐蚀。由于被腐蚀材料的不同,选取的腐蚀液和腐蚀条件也不,腐蚀时,要尽量避免侧向腐蚀和胶层损伤。常用腐蚀因子F来衡量腐蚀质量。 $F = \text{腐蚀深度} / \text{侧向腐蚀宽度}$,若F值大则表明腐蚀效果良好,一般F值在0.5~2.5之间,F值为1时即可用于生产。

4. 集成电路引线及光刻技术的发展趋势[1]

最近,三星公司公布了其半导体工艺路线图,除了2018年使用EUV的7nm量产之外,接下来还将有5nm和4nm FinFET,而到了2020年则会开始3nm基于Gate All-Around (GAA)晶体管的最新工艺。除此之外,荷兰ASML公司则确认了其光刻机使用EUV加上大数字孔径可以实现1.5nm的特征尺寸,从而可望支持摩尔定律发展到2030年。

智能(AI)芯片的核心是半导体芯片(硬件)及算法(软件)[14-16],皆是今后的发展的重点,其基础还是芯

片的光刻技术。AI硬件主要是要求更快指令周期与低功耗,包括图像处理器(GPU)、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)和神经元芯片,且须与深度学习算法相结合,而成功相结合的关键在于先进的封装技术。总体来说GPU比FPGA快,而在功率效能方面FPGA比GPU好,所以AI硬件选择就看产品供货商的需求考虑而定。例如,苹果的FaceID脸部辨识就是3D深度感测芯片加上神经引擎运算功能,整合高达8个组件进行分析,分别是红外线镜头、泛光感应组件、距离传感器、环境光传感器、前端相机、点阵投影器、喇叭与麦克风。苹果强调用户的生物识别数据,包含:指纹或脸部辨识都以加密形式储存在iPhone内部,所以不易被窃取。

5. 小结

从上世纪九十年代的多媒体PC,本世纪初的互联网PC,到2010年代的智能移动设备,这些新应用市场的打开无一不依靠处理器芯片的快速性能提升。

一方面,增加集成度,可以降低单个晶体管的成本,另一方面,在平面CMOS工艺中,缩小特征尺寸可以增加晶体管开关速度,也增强了晶体管的性能,而更强的性能给芯片开拓了新的市场应用。以7纳米特征尺寸的芯片为基础的5G代手机已经到来,使无线通讯传输速率每秒字节可达10GByte/s。

在纳米引线中通过电流I时,对不同长度L、宽度和高度的引线两端应加的电压设计公式应遵循的原理是 $\Delta U / L = 1 \sim 3 \text{ mV} / \mu\text{m}$ 。同时,在引线上的电压 ΔU 应与引线的电阻值R

相协调,可以根据文中的表格选择电阻值R。

光刻技术成为一种精密的微细加工技术。光刻工艺包括涂胶、前烘、曝光、显影、坚膜、腐蚀、去胶等七个过程。光刻主要过程为:首先紫外光通过掩模版照射到附有一层光刻胶薄膜的基片表面,引起曝光区域的光刻胶发生化学反应;再通过显影技术溶解去除曝光区域或未曝光区域的光刻胶(前者称正性光刻胶,后者称负性光刻胶),使掩模版上的图形被复制到光刻胶薄膜上;最后利用刻蚀技术将图形转移到基片上。

光刻曝光的常用波长是可见光:g线:436nm,紫外光(UV),i线:365nm,深紫外光(DUV),KrF 准分子激光:248 nm,ArF 准分子激光:193 nm,极紫外光(EUV),10~15 nm。波长越短,就表示光刻的刀锋越锋利。可曝光的特征尺寸就越小;

光刻机是光刻工艺中将掩模板和基片对准曝光最为关键的设备。制造高精度的对准系统需要具有近乎完美的精密机械工艺,这也是光刻机的技术难点,许多牌光刻机具有特殊专利的机械工艺设计。

预计到了2020年会开始3nm基于环栅和H型栅结构的部分耗尽NMOS (Gate All-Around (GAA))晶体管的最新工艺。除此之外,荷兰ASML公司的光刻机使用EUV加上大数字孔径可以实现1.5nm的特征尺寸从而可望支持摩尔定律发展到2030年。

智能(AI)芯片的核心是半导体芯片(硬件)及算法(软件),皆是今后的发展的重点。

参考文献

- [1] 中国计算机报 (<https://zgjsjb.cn.china.cn>), 2018, 6, 7.
- [2] 孙冰, 田丰, 汪鹏, 高金雍, 集成电路引线的电阻和电流、电位(J) 传感器世界, 2015, 21 (5) 12-17.
- [3] Pang Dongqing, SUN Yicai, Spherical particles and voids effect on current and potential distribution in integrated circuit leads, *Semicond. Sci. Technol.* 30 (2015) 065017 (11pp).
- [4] A. K. Bates, M. Rothschild, T. M. Bloomstein, et al. Review of technology for 157 nm lithography, *IBM J. Res. Dev.* 2001, 45: 605.
- [5] T. Wang. Copper Voids Improvement for the Copper Dual Damascene Interconnection Process. *Journal of Physics and Chemistry of Solids.* 2008, 69 (2-3): 566-571.
- [6] 姜国华, 王楠, 赵波, 集成电路互连引线的研究进展, *微纳电子技术*, 2015, 8(5): 477-536.
- [7] 郝跃, 邵波涛, 马晓华, 等. UI SI中铜互连及其可靠性的研究与进展[J]. *西安电子科技大学学报(自然科学版)*, 2005, 32 (4) 627-633.
- [8] 宋永欣.微流控芯片上单细胞生物电子检测和介电操控技术研究「J」.大连:大连海事大学, 2012.
- [9] 林炳承, 秦建华.微流控芯片实验室「J」. *色谱*, 2005, (5): 456-463
- [10] BLACH. I. A. Diffusional back flows during electro migration (J), *Acta Materialia*, 1998, 46 (11): 3717-3723.
- [11] OGAWA E T, LEE K D, BLASCHKE. V.A, et al. Electro migration reliability issues in dual-damascene Cu interconnections (J), *J. IEEE Transactions on Reliability*, 2002, 51 (4): 403-419.
- [12] WU W F, CHOU C P, et al. Improved Tail barrier layer against Cu diffusion by formation of an amorphous layer using plasma treatment [J], *J. Vac. Sci. Technology, B*, 2002, 20 (5): 2154-2161.
- [13] 孙以材、刘玉岭、孟浩庆, 压力传感器的设计制造与应用[M], 北京: 冶金工业出版社, 2000
- [14] 曹承志, 人工智能技术, [M], 北京, 清华大学出版社, 2010
- [15] 孙以材、刘新福、孟庆浩, 传感器非线性信号智能处理与融合[M], 北京, 冶金工业 出版社, 2010
- [16] A. R. Mirszal, *Artificial Intelligence (M)*, Great Britain, London, Chapman and Hall, 1990, 97-105.